

# Die Leiterplatte 2005

## Die Physik im Griff – die Messergebnisse sprechen für sich

Eine schnittstellenunabhängige Kernhardware, die leistungsstarke CPU und dynamisch rekonfigurierbare FPGAs kombiniert und dabei uneingeschränkt nutzbare hohe I/O-Bandbreite bietet – diese Idee galt es im CPU-Modul CERO der Hochgeschwindigkeitsplattform UNIFIRE II zu realisieren. Die Kombination von flexibler Software und Hardware, I/O-Bandbreite, umfangreiche konstruktive Maßnahmen am PCB-Design, Optimierungsstrategien bei Leiterplattenhersteller und Baugruppenproduzent im Wechselspiel von Schaltplaneingabe und PCB-Layout-Erstellung haben neue Maßstäbe hinsichtlich Stabilität und Funktionalität der Hardware gesetzt – und der Aufwand hat sich gelohnt.

Gerhard Eigelsreiter, Thomas Thun und Dr. Helmut Keller\*

Die Leiterplatte für das CERO-Modul – ein 18-lagiger Multilayer mit gestapelten Stromversorgungslagen, differenziellen Impedanzen, Blind Vias und Plugged Vias – ist fertig und muss bestückt werden. Im Regelfall wird der Baugruppenproduzent vor vollendete Tatsachen

gestellt und mit der bereits produzierten Leiterplatte konfrontiert. Wen wundert's, dass sich mancher Auftragsfertiger dann genauso launisch gibt wie die Physik im

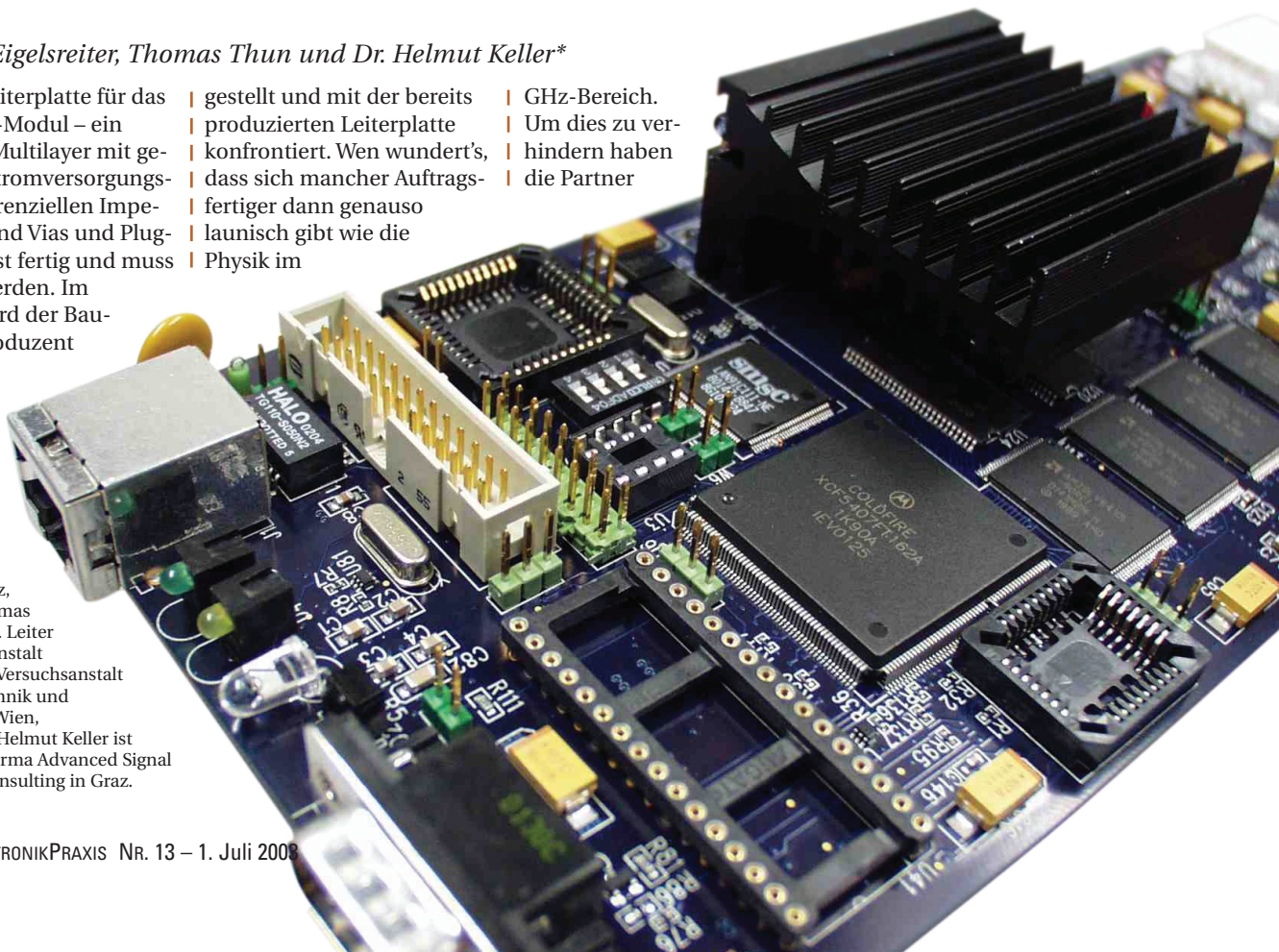
GHz-Bereich. Um dies zu verhindern haben die Partner

unit^el, ILFA (Leiterplattenfertigung) und TAUBE ELECTRONIC (Bestücken der Baugruppe) schon im Vorfeld regen Informationsaustausch beschlossen und gelebt.

Die Anwendung neuer Techniken in der Leiterplattenkonstruktion, der Einsatz von Bauelementen mit sehr kleinen Gehäusedimensionen und hohem Pincount muss im Einklang mit den Fertigungsmöglichkeiten des Dienstleisters stehen. Das Plugged-Via-Verfahren verlangt besonders bei ICs mit hochpoligen BGA-Gehäusen eine genaue Abstimmung zwischen Baugruppenproduzent und Entwickler hinsichtlich der Abmessungen der „land pattern“ (Löt-Augenmuster) und der verwendeten SMD-Kondensatoren.

Diese Informationen fließen bereits beim Erstellen der Bauteilbibliothek des PCB-Layout-Tools in das Design der Leiterplatte mit ein. Erst nach einer Modifizierung des Löt-Augenmusters der SMD-Kondensatoren zur Stützung des FPGAs hat der

\*Gerhard Eigelsreiter ist Inhaber der Firma unit^el in Graz, Ing. Mag. Thomas Thun ist stellv. Leiter der Versuchsanstalt TGM – staatl. Versuchsanstalt für Elektrotechnik und Elektronik in Wien, Dipl.-Ing. Dr. Helmut Keller ist Inhaber der Firma Advanced Signal Processing Consulting in Graz.



Baugruppenproduzent dem Einsatz der Plugged-Via-Technik zugestimmt. Die Genauigkeit der Lötstoppsmasken, die Abstände der Bauelemente zueinander und ihre Dichte sind nur ein Auszug aus einem Regelwerk, das entscheidend zur Löt- und Fertigungsqualität der Baugruppe beigetragen hat.

Ein 18-lagiger Multilayer mit gestapelten Power-Planes stellt auch die Zusammenarbeit von Baugruppenproduzent und Leiterplattenhersteller auf eine neue, qualitativ höhere Stufe. Dabei gilt es Maßnahmen betreffend der zulässigen Verwölbung und Verwindung der Baugruppe beim anschließenden Lötprozess zu besprechen und festzulegen sowie Lötmuster bereit-

## Die Serie: Anmerkung der Redaktion

*Hardware zu entwickeln, die genug Bandbreite für die nächsten Jahre bietet und über Jahre unabhängig von jeglichen Schnittstellen ist, galt es, in der rekonfigurierbaren Hochgeschwindigkeitsplattform UNIFIRE II zu realisieren. Moderne, hochintegrierte ICs bieten bereits heute I/O-Bandbreiten von mehreren 100 GBit/s. Anders auf Board-Ebene: Mit klassischen Methoden ist es weder praktisch realisierbar noch wirtschaftlich vertretbar, die erforderliche breitbandige Datenübertragung auf der Leiterplatte für die nächsten Jahre zur Verfügung zu stellen.*

*In einer dreiteiligen Serie haben wir am Beispiel des CPU-Moduls CERO innerhalb der Hochgeschwindigkeitsplattform UNIFIRE II einen durchgängigen Lösungsweg von der Auswahl der Bausteine bis zur Inbetriebnahme der Baugruppe aufgezeigt. Und die ist keineswegs trivial: Im Zusammenspiel zwischen den Entwick-*

*lern, Leiterplattenhersteller und Baugruppenproduzent ist ein 18-lagiger Multilayer mit gestapelten Stromversorgungslagen, differenziellen Impedanzen, Blind Vias und Plugged Vias bestückt mit hochpoligen FPGAs im BGA-Gehäuse entstanden.*

*Die Herausforderungen, denen sich die Entwickler in diesem Projekt stellen mussten und das Konzept UNIFIRE II waren Thema des ersten Teils der Serie, der in 11/2003 am 3. Juni erschienen ist. Mittelpunkt des zweiten Teils, erschienen in ELEKTRONIKPRAXIS 12/2003 am 17. Juni, waren das Design der Leiterplatte und die Optimierung der Fertigungsparameter.*

*Sie können diese Ausgaben gratis bei der ELEKTRONIKPRAXIS-Redaktion anfordern bei Petra Bauer, Tel. +49 (0) 931 418-2499 oder per E-Mail: [petra\\_bauer@elektronikpraxis.de](mailto:petra_bauer@elektronikpraxis.de)*

(cm)

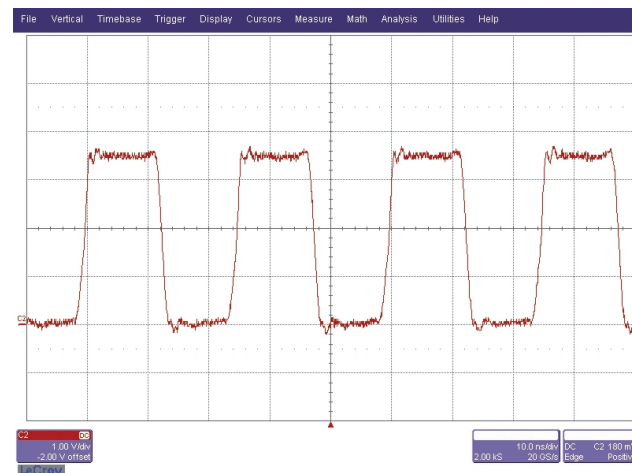
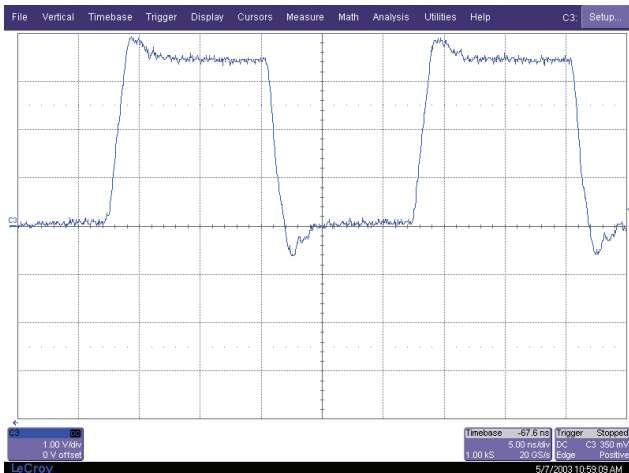
zustellen, um die Temperaturprofile zu ermitteln.

## Inbetriebnahme der Hardware

Dann ist es so weit: Der wohl interessanteste Part für jeden Hardwaresystem-Entwickler ist die Inbetriebnahme: Schonungslos deckt sie noch so kleine Flüchtigkeitsfehler auf. Aufgrund des komplexen Leiterplatten-Lagenaufbaus hatte der Baugruppenproduzent vorgeschlagen, statt drei Prototypen nur einen zu fertigen. So bestand die Möglichkeit, auf zwei weitere Bauteilsätze zurückzugreifen, um etwaige Änderungen rasch einfließen zu lassen. Der damit verbundene Nachteil: Während der Inbetriebnahme standen keine Vergleichsmessungen zur Verfügung. Damit erhielt die Situation eine, gelinde ausgedrückt, dezente Exklusivität mit zeitlich versetzten starken Kulminationspunkten.

Die 3,3-V-Betriebsspannung wurde über einen dreipoligen Power-Supply-Stecker extern eingespeist. Auf dem Board selbst erzeugen zwei Linearregler aus diesen 3,3 V die zusätzlich benötigten 1,8-V-Core-Spannung der Coldfire-CPU so-

**Bild 2:** CPU-Clock 40 MHz, nach dem Taktverteiler am Leitungsende gemessen; die Wirkung der aktiven Terminierung setzte im Mittel ab 0,6 V des jeweiligen Logikpegels ein



**Bild 1:** System-Clock 40 MHz vor dem Taktverteiler gemessen; alle Clock-Leitungen sind aktiv abgeschlossene Punkt-zu-Punkt-Verbindungen

wie die 1,5-V-Core-Spannung des Virtex-II FPGAs. Diese zeitliche Reihenschaltung der Spannungen löst ein kritisches Problem des für die Coldfire-CPU erforderlichen „Power-Sequencing“. Die 1,8 V mussten vor den 3,3 V zur Verfügung stehen. Eine Zusatzlogik hat die Einhaltung der maximalen Spannungsdifferenz von 1,8 V zwischen Core- und Betriebsspannung auch beim Abschalten gewährleistet. Die Core-Spannung des FPGAs unterlag diesen Beschränkungen nicht.

Mit einem längsgerichteten Labornetzgerät mit einstellbarer Strombegrenzung wurde die Betriebsspannung langsam hochgefahren. Statt der erwarteten 1,5 V am ersten Testpunkt stieg der Strom sehr rasch auf 1,5 A (erwarteter Wert 0,6 bis 0,8 A). Ein

trotz sorgfältiger Isolierung bestehender Masseschluss zum Kühlkörper des 1,5-V-Reglers war schnell ermittelt und beseitigt. Alle Messwerte lagen daraufhin im erwarteten Bereich – der Stromverbrauch bei 0,6 A.

**Auf Anhieb geschafft: der erste Prototyp läuft**

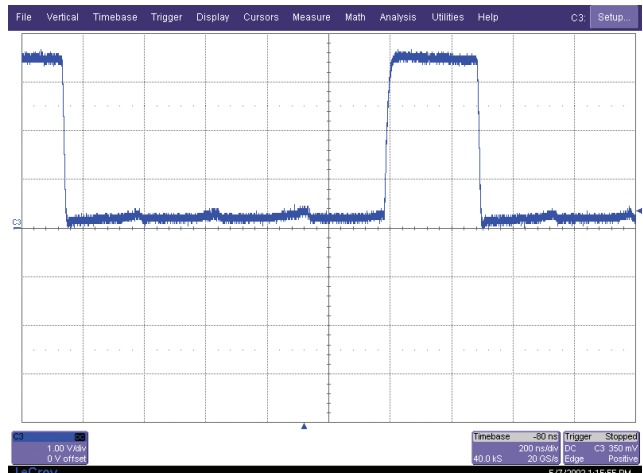
Der Rest war aus Hardware-sicht, abgesehen von einer überflüssigen zusätzlichen Select-Leitung zum SDRAM-Controller der Coldfire-CPU und der Logikpegel-Änderung einer Steuerleitung in der neuesten

Datenblatt-Revision des Ethernetcontrollers, eine Bilderbuch-Inbetriebnahme. Und das – zur Erinnerung – mit dem ersten und einzigen Prototypen. Es gibt nichts Schlimmeres als neue Firmware auf Hardware anzupassen, die Löt- und Bestückungsfehler aufweist.

Die Softwareabteilung musste sich in der Zwischenzeit ganz anderen Problemen stellen. Unvollständige oder schlichtweg sich widersprechende Reset- und Initialisierungssequenzen in den Manuals und Applikationsnoten haben die Erstellung der Firmware verzögert. Als große Hilfe erwies sich das BDM-Interface zur Coldfire-CPU. Im Prinzip stellt es einen einfachen, im CPU-Chip eingebauten Analyser dar. Es eröffnet erweiterte Möglichkeiten Programme zu laden, den Programmablauf zu überprüfen, in den laufenden Betrieb des Prozessors einzugreifen (debugging), Registerwerte zu überprüfen und zu ändern sowie wichtige Internas sichtbar zu machen.

Signifikante Erweiterungen des „Debugging“ in Hard- und Software forciert

**Bild 3:** Messung der Datenleitung D28 am System-Datenbus; alle Bussysteme sowie sämtliche SDRAM-Steuerleitungen verfügen über aktive Terminierung



# Messung der Störabstrahlung von UNIFIRE II/CERO im Frequenzbereich von 30 bis 1000 MHz

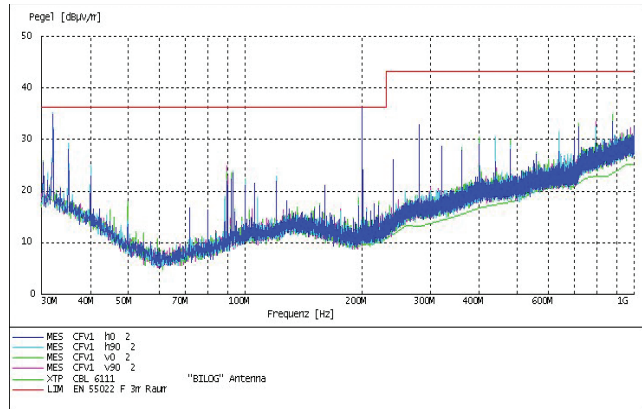
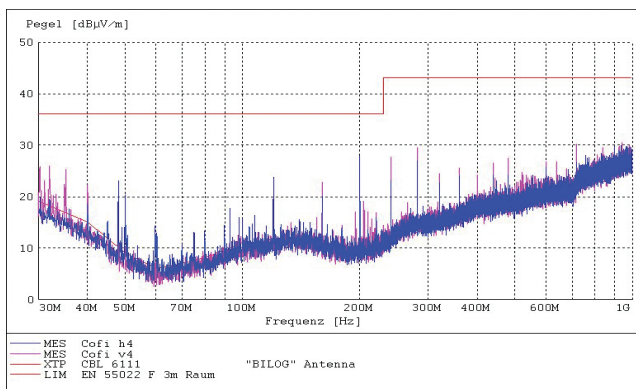
Ing. Mag. Thomas Thun, stellvertretender Leiter der Staatlichen Versuchsanstalt für Elektrotechnik und Elektronik und akkreditierten Prüfstelle TGM in Wien, hat die Störabstrahlung des CPU-Moduls CERO gemessen:

Die größte Herausforderung für den Hardwareentwickler zur Erfüllung der EMV-Richtlinie bei Leiterplatten mit I/O-Bandbreiten von mehreren GHz ist mit Sicherheit die Einhaltung der Störfeldstärkewerte im Frequenzbereich von 30 bis 1000 MHz. Von Beginn an gilt es größtes Augenmerk auf die EMV-Problematik zu legen, um in späteren Stadien der Entwicklung nicht mit unüberwindbaren Schwierigkeiten konfrontiert zu werden.

Bei dem gemessenen 18 lagigen Multilayerboard UNIFIRE II/CERO wurden die neuesten Erkenntnisse der Störungsverminderung und Unterdrückung eingebracht. Diese Maßnahmen haben mit der herkömmlichen Funkentstörung (Einbau von Kondensatoren, Drosseln oder Ferritringen) nicht mehr viel zu tun. Sie vollziehen sich größtenteils im Design des Layouts der Leiterplatte und sind daher unwiderruflich.

Zur Bewertung der Störfeldstärke wurde für UNIFIRE II/CERO die Europeanorm EN 55022 „Klasse B“ (gilt für den Wohnbereich) herangezogen. Die Messung fand im abgeschirmten Absorberraum im TGM-Wien statt. Zur Erfassung

**Bild 4:** Störpektrum des Modul CERO ohne Gehäuse und ohne externe Schirmmaßnahmen: Als Testsoftware lief ein eigens für die MCF5407-CPU geschriebener SDRAM-Speichertest bei einer System-Clock von 40 MHz und einer internen CPU-Clock von 160 MHz



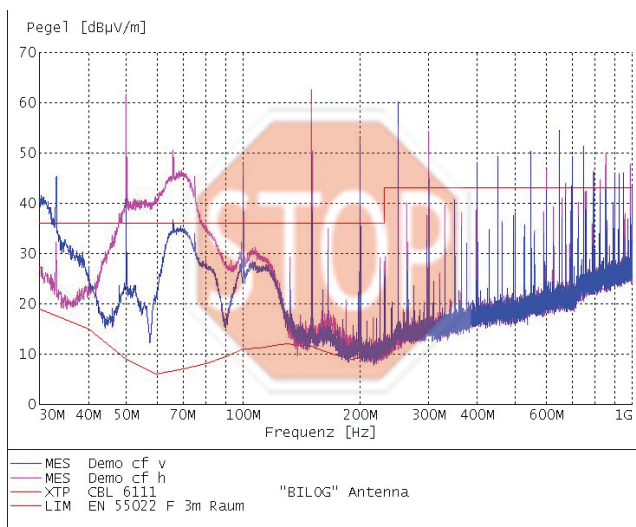
**Bild 5:** Der absolute Härtestest: Über 9000 CLB-Flipflops wurden mit 200 MHz globaler interner Systemclock gleichzeitig mit der steigenden Taktflanke geschaltet. Der gemessene Strom stieg von 0,9 auf 4,6 A. Die 200-MHz-Linie erreichte beinahe den Grenzwert.

des so genannten „worst case“-Szenarios (die Abstrahlung der elektromagnetischen Energie erfolgt vom Prüfobjekt nicht in alle Richtungen mit gleicher Intensität) wurde die Platine auf einem Drehtisch im Abstand von 3 m zur Messantenne aufgebaut und in allen Richtungen vermessen.

Zur Aufzeichnung der Polarität der in den Raum ausgesandten elektromagnetischen Wellen muss auch die Messantenne (Kombiantenne aus einer logarithmisch-periodischen und bikonischen Antenne) in vertikale und horizontale Ebene gedreht werden.

Die Kurven in den Messdiagrammen stellen dann den jeweiligen Störfeldstärkepegel im Frequenzbereich von 30 bis 1000 MHz (Bild 4 und 5) in den verschiedenen Positionen der Leiterplatte und der jeweiligen Polarität der Antenne dar. Zusätzlich ist in den Messdiagrammen noch die Grenzwertlinie mit dem Korrekturfaktor für die Messmethode mit Bodenabsorberrn eingezeichnet.

Deutlich zu sehen ist, dass der Grenzwert sowohl in vertikaler als auch in horizontaler Polarisation im gesamten Frequenzbereich unterschritten wird. Diesem Umstand ist umso mehr Beachtung zu schenken, da die Messung der Leiterplatte ohne jegliche Abschirmung bzw. Gehäuse durchgeführt wurde. CERO erfüllt die Anforderungen der EN 55022 und somit die Störabstrahlung der EMV-Richtlinie.



**Bild 6:** Störspektrum, wenn die Physik nicht „überzeugt“ wurde: „Testobjekt“ war ein handelsübliches MCF5407-Coldfire-Demo-board, als Testsoftware lief derselbe MCF5407-CPU-SDRAM-Speichertest (Clock siehe Bild 7)

die Kombination von CPU und FPGA mittels beliebig nachladbarer, frei erstellbarer Analyser-Module. Selbst hochkomplexe, mitunter extrem schnelle Timingabläufe lassen sich softwaregesteuert auf für Taskköpfe leicht zu-

gängliche Testpunkte und Stecker abbilden, ohne kritische Signallaufzeiten zu beeinflussen oder das Echtzeitverhalten zu ändern. Die Simulation der Anpassung unterschiedlicher Set-up- und Hold-Zeiten im Timing von Ethernetcontroller und Coldfire-CPU ließ sich deshalb ohne sonst unvermeidliche störende Faktoren auf der Zielhardware in Echtzeit messtechnisch überprüfen.

### Messungen zur Signalintegrität

Ein weiteres heikles Thema im Hardware-Design sind die Messungen zur Signalinte-

grität. Die Signalwege, die mit Signalen mit hoher Flankensteilheit beaufschlagt werden, müssen als Wellenleiter, d.h. mit einer definierten Impedanz ausgeführt sein. Ein Satz wie aus dem Lehrbuch – ist er auch. Bezogen auf Punkt-zu-Punkt-Verbindungen lässt sich diese Vorgabe mittels impedanzdefinierter Leitungsführung und Serien-Quellwiderstand in ihrer einfachsten Ausprägung realisieren.

### Aufgepasst beim Einsatz aktiver Terminierungs-ICs

Was sagt das Lehrbuch zu busgeführten Leitungswegen? Schwierig! Diese Antwort ist nicht gerade die hilfreichste Aussage um das Problem zu lösen.

Der Einsatz von aktiven Terminierungschips (z.B. PI7AT04CX von Pericom, siehe Link) jeweils an den Leitungsenden und in der Mitte von Busleitungen bietet einen akzeptablen Kompromiss. Solche aktiven Terminierungs-ICs können ihre Vorteile allerdings nur bei einem sehr gut gestützten Stromversorgungssystem optimal ausspielen.

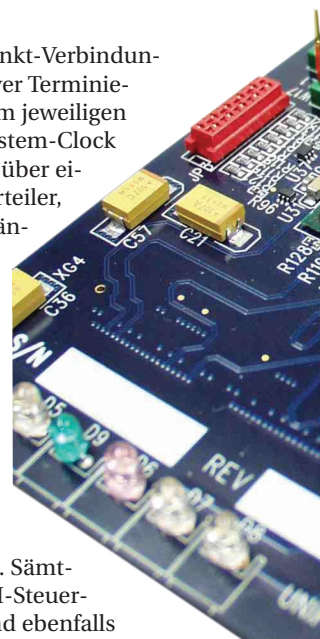
Alle Clock-Leitungen auf dem CERO-Board sind

Punkt-zu-Punkt-Verbindungen mit aktiver Terminierung an ihrem jeweiligen Ende. Die System-Clock (Bild 1) läuft über einen Clockverteiler, dessen Ausgänge über lauffzeitabgegliche Leitungen mit der CPU (Bild 2), dem FPGA und den SDRAMs

[Link Micron] verbunden sind. Sämtliche SDRAM-Steuerleitungen sind ebenfalls aktiv abgeschlossen. Natürlich verfügen auch alle Bussysteme (Bild 3) über aktive Terminierung.

Beim Erfassen und Auswerten der Takt- und Datensignale kam das digitale 6-GHz-High-Speed-Oszilloskop WaveMaster 8600A von LeCroy zum Einsatz, das zudem für Jitter- & Timing-Analysen prädestiniert ist.

Die Impedanz der Signalleiterbahnen und der Stromversorgungsflächen spielt eine funktionsentscheidende Rolle. Deshalb stehen alle Konstrukte mit zwei (diffe-



## Applikationsbeispiel Bildverarbeitung

*Dipl.-Ing. Dr. Helmut Keller, Advanced Signal Processing Consulting, verdeutlicht die Vorteile von FPGAs beim Einsatz in der zweidimensionalen Signalverarbeitung.*

Aufgrund ihres Aufbaues eignen sich FPGAs hervorragend zur Lösung zweidimensionaler Signalverarbeitungsaufgaben, z.B. in der Bildverarbeitung. Dort sind heute schnelle Implementierungen von Prozessen wie Farbraumkorrektur, Konturerkennung und Bildkompression gefordert.

Durch die mittlerweile in FPGAs verfügbaren Ressourcen bietet sich die massiv parallelisierte Lösung vektorisierbarer Aufgabenstellungen an. Dieser Umstand kann in einer drastischen Beschleunigung vektorisierbarer Prozesse gegenüber der herkömmlichen Verarbeitung in Skalarprozessoren führen. Dementsprechende I/O-Bandbreiten haben im Vergleich zu heutigen Workstation-Lösungen eine signifikante Steigerung im Datendurchsatz zur Folge.

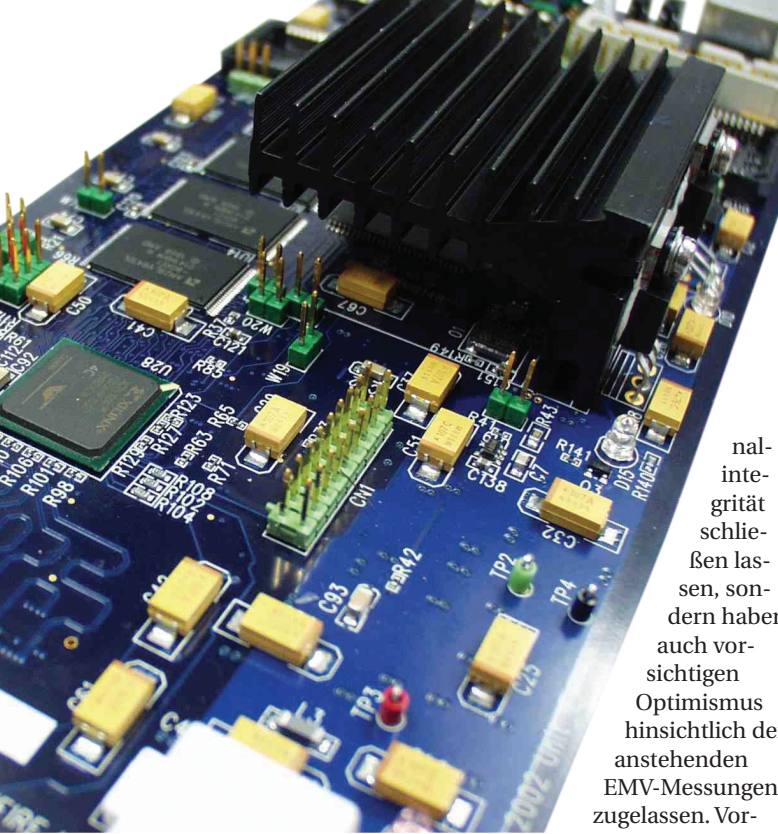
Mit dieser Entwicklung rückt auch die Echtzeit-Verarbeitung von größeren Bildformaten, wie sie bei HDTV oder Digital Cinema gefordert sind, in ökonomisch realisierbare und interessante Bereiche vor.

Der Einsatz rekonfigurierbarer FPGAs im Zusammenspiel mit einem geeigneten Mikroprozessor bietet gegenüber den Universal-Skalarprozessoren den Vorteil, Pixel-Operationen bei gutem Design in vielen Fällen innerhalb weniger Taktperioden zu realisieren. Zudem lassen sich diese Operationen als Vektor-Prozess massiv parallel anlegen.

Der Operator wird also nicht nur auf ein Pixel, sondern auf einen Bildteil „als Ganzes“ angewandt, was zu signifikanter Beschleunigung gerade im Fall von Echtzeit-Bildverarbeitungsaufgaben führen kann.

Mit dem Board UNIFIRE II/CERO lassen sich neben sehr schnellen I/O-Datenkanälen (Transferbandbreite mehrere GBit/s) die genannten Erfordernisse vollständig erfüllen. Obwohl Operatoren wie die der beschriebenen Art üblicherweise als spezifisches Design ins FPGA geladen werden und dort temporär resident sind, bleibt gerade durch die Paarung Mikroprozessor – rekonfigurierbares FPGA – eine hohe Flexibilität für unterschiedliche Aufgabenstellungen erhalten.

*Der Einsatz von FPGAs in der Bildverarbeitung veranschaulicht ein im Internet hinterlegtes PDF (siehe Link Seite 74).* ■



nal-integrität schließen lassen, sondern haben auch vorsichtigen Optimismus hinsichtlich der anstehenden EMV-Messungen zugelassen. Vorsichtiger Optimis-

renziellen) Signalleitungen in Referenz zu einer oder zwei GND-Powerplanes. Die differenzielle Impedanz beträgt im Mittel 100 Ω. Die mechanischen Parameter wie die Geometrie der Leiterbahnen (Breite, Kupferdicke) hat der Leiterplattenhersteller in Abstimmung mit den Lagenabständen mithilfe der Impedanz-Berechnungssoftware von Polar ermittelt. Sie wurden als „Constraints“ in die Layoutsoftware PowerPCB übernommen. Gleichermaßen stehen auch alle Single-ended-Signalleitungen in Referenz zu den entsprechenden GND-Lagen. Nur so war es möglich, die Hin- und Rückwege zu optimieren – die entsprechenden Messergebnisse belegen es.

**EMV-Messungen**

Die Messergebnisse der Signalverläufe auf kritischen Steuerleitungen, z.B. Clockleitungen für CPU, FPGA und SDRAMs, haben nicht nur auf eine ausgezeichnete Sig-

mus deshalb, weil besonders das Schaltverhalten (Flankensteilheit und dynamische Leistungsaufnahme) hochintegrierter CPUs und FPGAs maßgeblich den Störgrad beeinflussen.

Als viel wichtigeres Indiz stellte sich die sehr gute Stabilität und Funktionalität der Hardware heraus. Aufwändige Tests über Monate hinweg, die bis an die Grenzen der Belastbarkeit gingen, führten in keinem einzigen Fall zu Instabilitäten oder Datenverlusten.

Das FPGA-TestszENARIO bildete einen besonderen Härtestest. Über 90% der zur Verfügung stehenden CLB-Flipflops (ca. 9000) wurden, per Software zuschaltbar, mittels DLL über das globale Clock-Netzwerk bei minimalstem Zeitversatz parallel mit 200 MHz getaktet. Der gemessene Betriebsstrom stieg schlagartig von 0,9 auf 4,6 A. Ein entsprechender Kühlkörper für diese

„HF-Herdplatte“ (FPGA) hielt die Temperatur innerhalb der vom Hersteller vorgegebenen Grenzen. Unabhängig davon lief über die CPU ein „harter“ SDRAM-Speichertest über den gesamten 64-MByte-Speicherbereich. Sämtliche Testszenarios waren per Software beliebig zu- und abschaltbar (Bild 4 und 5, Beitrag Seite 71).

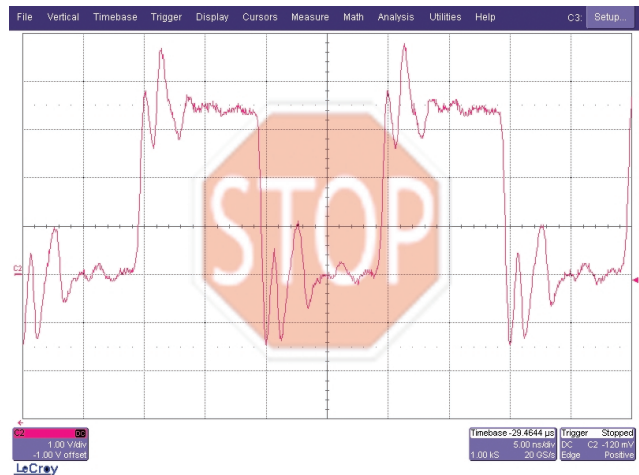
**Wozu das Ganze?**

Bei aller technischen Begeisterung darf man nicht den eigentlichen Grund der Anstrengungen vergessen: die Anwendung. Die Kombination von leistungsstarker CPU und dynamisch rekonfigurierbarem FPGA, gepaart mit sehr hoher, für die Applikation uneingeschränkt nutzbarer I/O-Bandbreite hat es erlaubt, eine Hardware zu realisieren, deren Anwendungsfelder Marktsegment übergreifend sind. Es gibt keinen Fokus auf ein bestimmtes Einsatzgebiet. Das im Beitrag auf Seite 72 dargestellte Beispiel verdeutlicht dies für die Bildverarbeitung.

**Epilog**

Letztendlich kann nur die Praxis und der Markt als Indikator für die Tauglichkeit von durchgängigen Lösungskonzepten dienen. Das Zauberwort Bandbreite mit Schwerpunkt im I/O-Bereich erweist sich immer öfter als Dreh- und Angelpunkt für flexible Kernhardware mit langer Lebensdauer in Marktsegmenten mit rasch wechselnden Produktzyklen und -adaptionen. Stellvertretend hierfür sei ein Beispiel erwähnt. Im Mai 2003 hat Xilinx eigene Transceiver-ICs (RocketPHY) mit 10 Gbit/s für die serielle Datenübertragung vorgestellt (White-Paper Backplane). Das Besondere an diesen Chips ist die parallele Anbindung an 16 LVDS-Input- und 16 LVDS-Output-Kanäle der

**Bild 7: Solche Signalförmigkeiten untergraben jegliche Systemstabilität: Das 50-MHz-Clocksignal „passend“ zum MCF5407-Coldfire-Demoboard (die Aufnahme des Störspektrums zeigt Bild 6)**



## Baugruppenfertigung: Prozessziel First Time Right

Bereits seit Mitte der 90er-Jahre hat sich der Berliner Auftragsfertiger TAUBE ELECTRONIC auf die verschärften Wettbewerbsanforderungen eingestellt und sein vielfach bewährtes Konzept zur fehlerfreien Fertigung von Baugruppen im ersten Anlauf (First Time Right) kontinuierlich verbessert. TAUBE ELECTRONIC fertigt komplexe Baugruppen mit Losgrößen zwischen 1 und 10 000 auf der Basis von IPC-A-610C, Klasse 2 und 3. Neben der Fertigung von überwiegend beidseitig reflowgelöteten Multilayern mit BGAs und CSPs

gehören auch Burn-in, Röntgeninspektion, Reinigung und Coating zum Dienstleistungsspektrum des nach ISO 9001:2000 zertifizierten Baugruppenproduzenten. Das Unternehmen, das 25 Mitarbeiter beschäftigt, wurde im vergangenen Jahr für seine Leistungen mit dem von ELEKTRONIKPRAXIS, Fachverband Elektronik-Design e.V. (FED) und Unternehmensberatung Syska gestifteten Award „Auftragsfertiger des Jahres 2002“ gewürdigt. (cm)

TAUBE ELECTRONIC 306

Virtex-II-(PRO)-Produktlinie. Das Board CERO stellt über einen speziellen Stecker, optimiert für differenzielle Signalleitungsführung, sogar 20 LVDS-Input- und 20 LVDS Output-Kanäle (inklusive Steuerkanäle) zur freien Verfügung. Notwendige Lagenwechsel von LVDS-Leitungsparen in die Innenlagen wurden ausschließlich mit Buried Vias realisiert, „back drilling“ kam nie in Frage [1]. Obwohl die Entwicklung dieses Boards auf Konstruktionsunterlagen von Anfang 2002 fußt, bestätigen sich jetzt eindrucksvoll die Hardware-Freiheitsgrade hinsichtlich künftiger Bandbreiten-Anforderungen.

Bestandene EMV-Prüfungen sollten, abgesehen von der rechtlichen Seite, ein wichtiger Orientierungspunkt für die getroffenen Hardware- und Software-Maßnahmen sein – nicht mehr und nicht weniger. Ein absoluter Garant für stabile Funk-

tionen sind sie nicht. Besonders dann nicht, wenn Stör-energien durch trickreiche Gehäusekonstruktionen und externe Schirmmaßnahmen derart geschwächt die Außenwelt erreichen, bloß um die jeweiligen, gesetzlich vorgeschriebenen Obergrenzen einzuhalten. Dafür „toben“ sie sich dann innerhalb der Baugruppe(n) aus, was des Öfteren zu rätselhaften Instabilitäten in normalerweise voneinander unabhängigen Funktionsbereichen führt (Bild 6 und 7).

Es steht eine neue europäische EMV-Richtlinie mit wesentlich gelockerten Bestimmungen an, die Anfang 2004 in Kraft treten soll: ein so genanntes „EMVG light“ [2]. Als Folge davon können

Hersteller künftig noch leichter das CE-Kennzeichen in Bezug auf EMV erlangen und verwenden.

### Konstruktive Maßnahmen gegen die Störemission

Umso wichtiger ist es, den dadurch in vielen Bereichen der Elektronik steigenden Störemissionen und -imissionen mit den bereits beschriebenen Maßnahmen konstruktiv entgegenzuwirken.

Die Kombination von Software- (CPU) und Hardware-Flexibilität (99% der FPGA-Ressourcen sind frei verfügbar), die Breitbandigkeit der Input-/Output-Strukturen, die umfangreichen konstruktiven Maßnahmen im Leiterplatten-

Design, die Optimierungsstrategien im Wechselspiel von Schaltplaneingabe und Leiterplatten-Layerstellung (Vermeidungsprinzip, Auswahl der Bauelemente, gestapelte Stromversorgungslagen usw.) setzen neue Maßstäbe hinsichtlich Stabilität und Funktionalität [3]. Fehlerarme

- www.elektronikpraxis.de
- unit^el: Die skalierbare und rekonfigurierbare Hochleistungsplattform UNIFIRE II
- Die Vorteile beim Einsatz von FPGAs in der Bildverarbeitung: Publikation als PDF zum Download
- Xilinx: Datenblätter und Designempfehlungen für die Virtex-II-FPGA-Plattform
- Die 32-Bit-Mikrocontroller der Coldfire-Familie von Motorola
- Leiterplatten von ILFA sowie Design-Spezifikationen und Publikationen
- Baugruppenfertigung bei TAUBE ELECTRONIC: Service vom Design bis zur geprüften Baugruppe
- Polar: Software für die Impedanzberechnung von Leiterplatten
- Mentor: Einsatzmöglichkeiten des PCB-Design-Tool PADSPowerPCB
- Datenblätter und Applikationsbeispiele zu den Terminierungschips von Pericom
- Spezifikationen und Typen der SDRAM-Bausteine von Micron
- LeCroy: Datenblatt zum digitalen 6-GHz-High-Speed-Oszilloskop WaveMaster 8600 A
- TGM-Wien: Staatliche Versuchsanstalt für Elektrotechnik und Elektronik und akkreditierte Prüfstelle
- EMV-korrektes Elektronikdesign: Die Seminarreihe EMV-Praxis und Publikationen von Prof. Christian Dirks
- Vom Grundkurs bis zum IPC- und FED-Designerzertifikat: das Aus- und Weiterbildungsangebot des FED für Leiterplatten-Designer

bzw. fehlertolerante Software lässt sich langfristig nur auf stabilen Hardware-Plattformen ökonomisch realisieren. (cm)

Advanced Signal Prozess. 307  
TGM-Wien 308  
unit^el 309

#### Referenzen:

- [1] „10 Gbps NRZ Serial Backplane White Paper (PDF)“ Xilinx White Paper: 10gbps\_nrz\_whitepaper.pdf
- [2] „EMV: Europa macht Verdruss“. Elektronik 8/2003, Seite 7.
- [3] „A Digital Designer's Guide to Verifying Signal Integrity“ von Tektronix.

