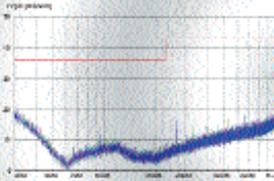


meltemi economic

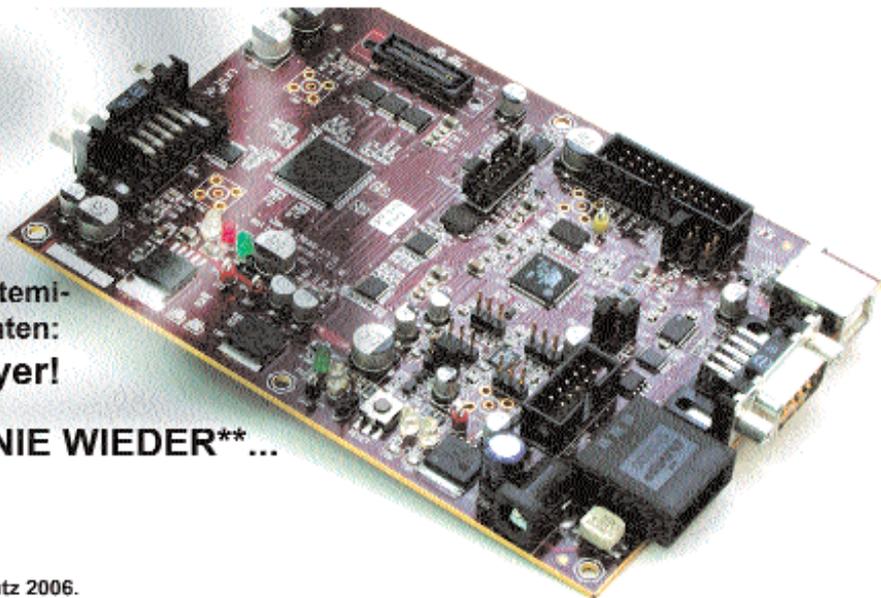


Progression der meltemi-Technologie nach unten:
6-Lagen-Multilayer!

Wir machen es NIE WIEDER...**

*Gerhard Eigelsreiter**

**...war unser Neujahrsvorsatz 2006.



Die Quadratur des Kreises

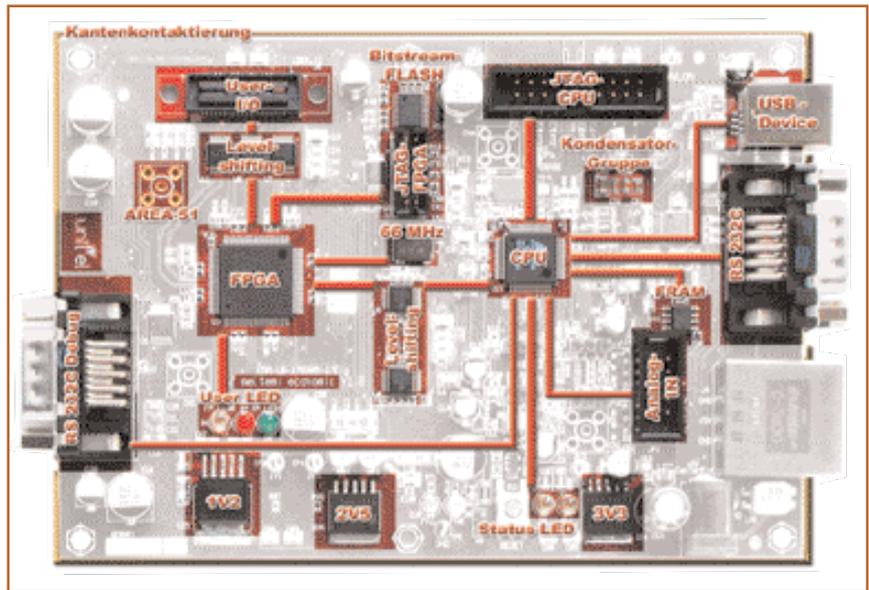
meltemi komprimiert – stabile Hardware in 6 Lagen (I)

Für Applikationen in Bildverarbeitung, HDTV oder digitalem Fernsehen, wo es reichlich Daten bei hohen Geschwindigkeiten zu übertragen gilt, ist die meltemi-Plattform konzipiert. Übertragungsbandbreiten von bis zu 60 GBit/s, verbunden mit exzellentem EMV-Verhalten und maximaler funktionaler Stabilität und Betriebssicherheit ermöglichen ein 20 Lagen Multilayer mit integriertem Stromversorgungsstapel, impedanzdefinierter Leitungsführung, X2Y-Kondensatoren und Kantenkontaktierung. In dieser und beiden weiteren Folgen unserer Serie erfahren Sie, ob und wie sich die Erfahrungen bei 18- und 20-lagigen Multilayer-Boards hinsichtlich EMV und stabiler Funktionen annähernd verlustfrei in ein 6-Lagen-Multilayer-Design mit einseitiger Bestückung komprimieren lassen.

Das englische Wort „economic“ lässt sich mit Begriffen wie wirtschaftlich und sparsam umschreiben oder großzügiger mit „ökonomisches Prinzip“ und „Effizienzpostulat“, um nur einige zu nennen, übersetzen. Das Verhältnis eines Nutzens, der natürlich in definierter Qualität vorgegeben sein muss, zu einem bestimmten Aufwand, um eben genau diesen Nutzen zu erreichen, wird üblicherweise durch das Wort Effizienz umschrieben respektive abgekürzt. Gelingt es durch effizientes Verhalten den dazu nötigen Mitteleinsatz so

*Gerhard Eigelsreiter ist Inhaber der Firma unit^el, Spezialist für High-Speed-Embedded-Systeme mit Schwerpunkt reprogrammierbare Logik und EMV-gerechtes Leiterplattendesign, in Graz/Österreich.

gering wie möglich zu halten, hat man eine Ausprägung des ökonomischen Prinzips optimal erfüllt. Leider führt blindes oder übertriebenes Vertrauen in das Optimalprinzip, nämlich mit minimalen Mitteln ein maximales Ergebnis zu erzielen, zu ungeplantem Handeln, da üblicherweise keine klaren Vorgaben gemacht werden und auch kein klares Ziel verfolgt wird. Effektiv ist diese Handlungsweise auf keinen Fall. Das Vorgehen kann also nur schrittweise mit ständigen wechselseitigen Überprüfungen erfolgen, um das gesteckte Ziel nachhaltig zu erreichen. Theorie und schöne Worte, doch wie sieht die Praxis aus: Lassen sich die Erfahrungen von 18- und 20-lagigen Multilayern hinsichtlich EMV und stabiler Funktionalitäten annähernd verlustfrei in ein 6-Lagen-Design komprimieren? Unter Einbeziehung uneingeschränkter masochistischer Verhaltensweisen lautet die Antwort: Ein klares Ja! Ein ungeübter Blick in den dazu notwendigen technischen Maßnahmen-



■ Bild 1:
 Blockschaltbild der meltemi-economic-Baugruppe: 32-Bit-Mikrocontroller und flexible I/O-Struktur; frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik runden das Einsatzgebiet nach oben hin ab und verlängern den Lebensdauerzyklus der Hardware

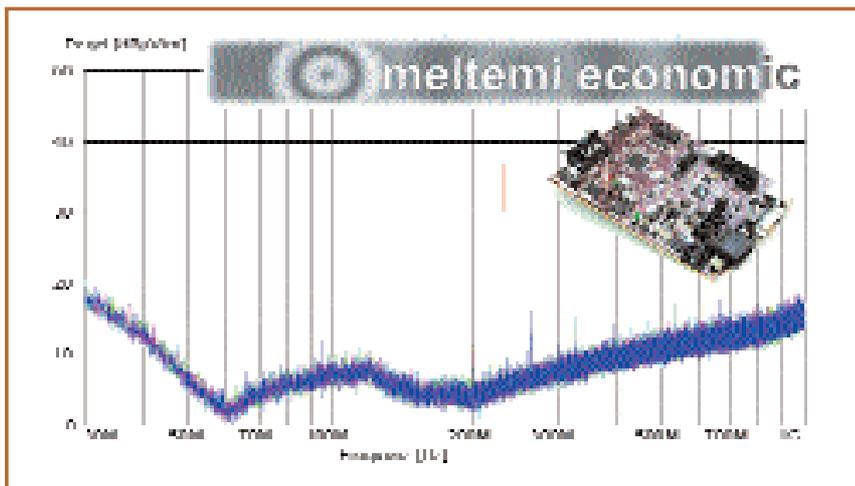


Bild 2 : Erstes EMV-Prüfergebnis aus der Absorberhalle: unerlässliche Maßnahmen, um die EMV zu gewährleisten, sind GND-Stifte, Kantenkondensatoren, Kantenkontaktierung und Kondensatorgruppen

► katalog offenbart keine größeren Schwierigkeiten oder außerordentlichen Hindernisse. Solange der Blick angemessen kurz bleibt, stimmt das sogar. Doch der Teufel steckt im Detail. Anhand der Referenz-Hardware-Plattform „meltemi-economic“ lässt sich das sehr anschaulich erklären.

Nach Erstellung des technischen Gesamtkonzeptes unter besonderer Berücksichtigung wirtschaftlicher Aspekte (die Hardware soll wenig bis „gar nichts“ kosten) steht vor der Schaltplanerstellung die Lagenanzahl sowie der Lagenaufbau untrennbar verbunden mit der obligaten Bauteileauswahl. Dies ist deshalb so wichtig, weil die Halbleiterhersteller in ihrem unermüdlichen Bestreben die Innovation voranzutreiben, die aktiven Bauteile mit zahlreichen zusätzlichen Betriebsspan-

nungen versehen. Die im Gesamtkonzept vorgegebene 6-Lagen-Obergrenze für das Multilayer-Board unter besonderer Berücksichtigung breitbandiger Stromversorgungsentkopplungen schränkt somit die Auswahl erheblich ein. Der zusätzliche enorme Kostendruck verleiht dieser Form des Schaltungsdesigns das besondere Prädikat „Spießrutenlaufen mit interessanten, weil unbekanntem Nebenasspekten“.

Hardware mit einem langen Lebensdauerzyklus

Nun zu den Details: Eine zweckmäßige Referenz-Hardware sollte den Bereich Mikrocontroller mit einem modernen Single-Chip-Konzept – 32 Bit intern wären optimal – sowie zusätzlich mit einer aus Signalintegritätsgründen sehr

flexiblen I/O-Struktur abdecken. Frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik runden das Einsatzgebiet nach oben hin ab. Sie sollen besonders den Lebensdauerzyklus der Hardware erheblich verlängern und zur leichteren Erfüllung von wirtschaftlichen Aspekten beitragen. Die Wahl fiel aus Kosten- und Marktdurchdringungsgründen auf die 32-Bit-Embedded-Prozessoren der ARM7-Serie. Die lange Marktführerschaft im 32-Bit-Mikrocontrollerbereich und der umfangreiche Softwarepool trugen maßgeblich zu dieser Entscheidung bei. Die Auswahl des Halbleiterherstellers Atmel mit der AT91SAM7S-Familie gründet sich auf die umfangreiche Roadmap sowie die technisch sehr flexiblen, pin-kompatiblen Mitglieder der Mikrocontrollerfamilie. Weit über 20 Jahre Erfahrung mit reprogrammierbarer Logik von Xilinx führte nahezu zwangsbedingt zur Auswahl und zum Einsatz der Spartan-3-Familie, um ein Maximum an I/O-Flexibilität zu gewährleisten. Breitbandige Stromversorgungsentkopplung: Die erste harte Nuss galt es zu knacken. Der 32-Bit-Mikrocontroller benötigt zwei Spannungsebenen, die I/O-Spannung mit 3,3 V und die Kernspannung mit 1,8 V (Linearregler integriert auf dem Chip!). FPGAs aus der Spartan-3-Serie begnügen sich mit einer Kernspannung von 1,2 V und unterschiedlichen I/O-Spannungen von 2,5 oder 3,3 V – die aber nur mit Einschränkungen. Die Bedingung auch vier LVDS-Kanäle zur Verfügung zu stellen fixierte diese I/O-Spannung auf 2,5 V. Also 4, in Worten vier, verschiedene Versorgungsspannungen sind breitbandig zu entkoppeln. Daran führt kein Weg vorbei, außer man liebt das Risiko oder

Die Serie „Die Leiterplatte 2010“

Die Applikationsplattform „meltemi“, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich, ist der Dreh- und Angelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen.

In den Teilen 8, 9 und 10 der Serie verdeutlichen die Autoren ihre Vorgehensweise am Beispiel der Hochgeschwindigkeitsplattform „meltemi economic“ und diskutieren Lösungsansätze, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten.

Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de

den Adrenalin-Kick in der EMV-Prüfhalle. Vier Lagen (einschließlich GND) von maximal sechs waren sozusagen „verbraucht“. Mickrige zwei Lagen blieben für die Verlegung der eigentlichen Signalleitungen übrig. So nebenbei mussten alle Signalleitungen auch noch impedanzdefiniert geroutet werden. Da kam Freude bei der Entflechtung des Leiterplattenlayouts auf.

Die Forderung nach 5 V Eingangsspannungsfestigkeit aller Signale am USER-I/O-Stecker führte zum massiven Einsatz passiver Analogschalter mit Spannungspegelkonversion von eben genannten 5 auf 3,3 V (ARM7 CPU) und 2,5 V (Spartan-3-FPGA). Auch die 8-Bit-Busverbindung zwischen CPU (3,3 V) und FPGA (2,5 V) kam nicht ohne Pegelkonverter aus. Der Einsatz von analogen Bus-Schaltern bringt erhebliche Vorteile. Die Durchlaufzeit beträgt maximal 200 ps. Es gibt keinen aktiven Störenergieeintrag in das V_{CC} -GND-System und die Verbindungen sind implizit bidirektional. Steuerleitungen zur Richtungsumschaltung sind ebenfalls nicht mehr erforderlich.

Vier Analogeingänge der integrierten 10-Bit-A/D-Wandler wurden mit externen Operationsverstärkern für unterschiedliche Sensorelemente fit gemacht.

Die Regelung der benötigten Betriebsspannungen übernehmen drei externe Linearregler (3,3; 2,5 und 1,2 V) in SMD-Ausführung mit Kühlung über die zwei GND-Planes (Thermal-Vias) und die Kantenkontaktierung. Die vierte Spannung (1,8 V) bedient der im Mikrocontroller integrierte Linearregler.

Die Reprogrammierung des Spartan-3-FPGAs übernimmt wahlweise das serielle Bitstrom-Flash oder über die JTAG-Signale der ARM7-Mikroprozessor. Der Software wurde dadurch ein Maximum an Flexibilität und Eingriffsmöglichkeiten eingeräumt. Ebenso lässt sich ein Reload des FPGAs aus dem Bitstrom-Flash

über die Software erzwingen. Sämtliche digitalen Eingänge des Spartan-3-Bausteins sind dank Analog-Pegelkonverter 5 V eingangsspannungsfest.

Zusätzliche für die funktionale Stabilität und EMV (Bild 2) unerlässliche Maßnahmen wie GND-Stifte, Kantenkondensatoren, Kantenkontaktierung, Kondensatorgruppen verbunden mit der aus wirtschaftlichen Gründen aufgestellten Forderung nur einseitige Bestückung mit Komponenten zuzulassen, ließen den Zeitaufwand bis an die Grenze des Zumutbaren steigen.

Deswegen wird im Folgeteil der Neujahrsvorwort für das Jahr 2006 und darüber hinaus „Wir haben es versucht, es ist gelungen, aber wir machen es so nie wieder oder nur in außergewöhnlich extremen Ausnahmefällen“ mehr als verständlich. *(cm)*

Der Lagenaufbau und die im Layout für meltemi economic umgesetzten Maßnahmen zur Einhaltung der EMV sind die Themen der nächsten zwei Folgen. Diese Beiträge erscheinen in den Ausgaben 10 und 11 am 24. Mai bzw. 2. Juni.

www.elektronikpraxis.de

unit^el: Die Experten für High-Speed-Embedded-Systeme und das Projekt meltemi

Sonderausgabe „Die Leiterplatte 2005“: Inhalt und Bestellformular

Technische Daten der Spartan-3-FPGAs von Xilinx

Reprogrammierbare Logik der AT91SAM7S-Familie von Atmel

Fachpublikationen zum Thema EMV-gerechtes Schaltungsdesign